

**Semiconductor device and method of manufacturing the same**

Patent Number: ☐ US2001015463  
Publication date: 2001-08-23  
Inventor(s): WAKABAYASHI HITOSHI (JP); SAITO YUKISHIGE  
Applicant(s): NIPPON ELECTRIC CO (US)  
Requested Patent: ☐ JP2001203276  
Application: US20010754637 20010104  
Priority Number(s): JP20000013428 20000121  
IPC Classification: H01L31/119  
EC Classification:  
Equivalents: ☐ US6483151

---

**Abstract**

---

One object of the present invention is to suppress a threshold voltage of at least an n-channel MISFET using a nitride of a high melting point metal at its gate electrode. In order to achieve the object, a gate electrode 109 of a p-channel MISFET is constituted of a titanium nitride film 106 and a tungsten film 107 formed on the film 106 and a gate electrode 110a of an n-channel MISFET is constituted of a titanium nitride film 106a and a tungsten film 107 formed on the film 106a. The titanium nitride film 106a is formed by nitrogen ion implantation in the titanium nitride film 106 to decrease the work function

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-203276  
(P2001-203276A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)	
H 0 1 L 21/8238		H 0 1 L 21/28	3 0 1 R	4 M 1 0 4
27/092		27/08	3 2 1 D	5 F 0 4 8
21/28	3 0 1		3 2 1 E	

審査請求 有 請求項の数17 O L (全 18 頁)

(21) 出願番号 特願2000-13428 (P2000-13428)

(22) 出願日 平成12年1月21日 (2000.1.21)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 若林 整

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 齋藤 幸重

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

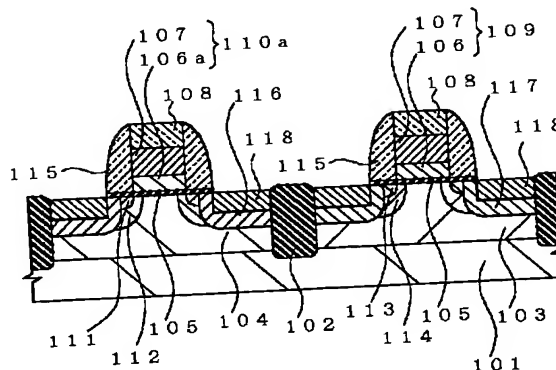
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高融点金属の窒化物を含んでなるメタルゲート電極において、少なくともnチャネル型MISFETのしきい値電圧の上昇を抑制する。

【解決手段】 pチャネル型MISFETのゲート電極109は窒化チタン膜106にタングステン膜107が積層してなり、nチャネル型MISFETのゲート電極110は窒化チタン膜106aにタングステン膜107が積層してなる。窒化チタン膜106aは、窒化チタン膜106に窒素イオンの注入が行なわれ、仕事関数が小さくなる。



1

## 【特許請求の範囲】

【請求項1】 シリコン基板の表面には、素子分離領域により分離されたn型ウェルとp型ウェルとが設けられ、該n型ウェルの表面には第1のゲート電極を有したpチャネル型MISFETが設けられ、該pウェルの表面には第2のゲート電極を有したnチャネル型MISFETが設けられ、該第1および第2のゲート電極の側面はそれぞれ絶縁膜からなるサイドウォール・スペーサにより覆われており、

第1のゲート酸化膜を介して前記n型ウェルの表面に設けられた前記第1のゲート電極は、該第1のゲート酸化膜の表面を直接に覆う第1の高融点金属の窒化物からなる第1の導電体膜と、該第1の導電体膜の表面に設けられた第2の高融点金属膜とから構成されて、  
第2のゲート酸化膜を介して前記n型ウェルの表面に設けられた前記第2のゲート電極は、前記第1の導電体膜より窒素の含有率の高い前記第1の高融点金属の窒化物からなり、該第2のゲート酸化膜の表面を直接に覆う第2の導電体膜と、該第2の導電体膜の表面に設けられた金属膜とから構成されていることを特徴とする半導体装置。

【請求項2】 前記第1および第2のゲート電極の側面が、それぞれ前記サイドウォール・スペーサにより直接に覆われており、

前記第1および第2のゲート酸化膜が熱酸化膜からなり、前記第2のゲート電極を構成する前記金属膜が前記第2の高融点金属膜からなり、  
前記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つからなる請求項1記載の半導体装置。

【請求項3】 前記第1のゲート電極の側面は、前記サイドウォール・スペーサにより直接に覆われて、  
前記第2のゲート電極の側面は、前記第2のゲート酸化膜を介して、前記サイドウォール・スペーサにより覆われており、

前記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つからなる請求項1記載の半導体装置。

【請求項4】 前記第2の導電体膜の結晶方位が、前記第1の導電体膜の結晶方位と相違する請求項3記載の半導体装置。

【請求項5】 シリコン基板の表面には、素子分離領域により分離されたn型ウェルとp型ウェルとが設けられ、該n型ウェルの表面には第1のゲート電極を有したpチャネル型MISFETが設けられ、該pウェルの表面には第2のゲート電極を有したnチャネル型MISFETが設けられ、該第1および第2のゲート電極の側面はそれぞれ絶縁膜からなるサイドウォール・スペーサにより覆われており、

熱酸化により形成されたゲート酸化膜を介して前記n型

2

ウェルの表面に設けられた前記第1のゲート電極は、該ゲート酸化膜の表面を直接に覆う第1の高融点金属の窒化物からなる第1の導電体膜と、該第1の導電体膜の表面に設けられた第2の高融点金属膜とから構成されて、窒素を含んでなるゲート絶縁膜を介して前記n型ウェルの表面に設けられた前記第2のゲート電極は、前記第1の導電体膜より窒素の含有率の高い前記第1の高融点金属の窒化物からなり、該ゲート絶縁膜の表面を直接に覆う第2の導電体膜と、該第2の導電体膜の表面に設けられた金属膜とから構成されて、

前記第1のゲート電極の側面は、前記サイドウォール・スペーサにより直接に覆われて、

前記第2のゲート電極の側面は、前記ゲート絶縁膜を介して、前記サイドウォール・スペーサにより覆われていることを特徴とする半導体装置。

【請求項6】 前記ゲート絶縁膜は窒化シリコン膜もしくは窒化酸化シリコン膜であり、

前記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つからなる請求項5記載の半導体装置。

【請求項7】 シリコン基板の表面には、素子分離領域により分離されたn型ウェルとp型ウェルとが設けられ、該n型ウェルの表面には第1のゲート電極を有したpチャネル型MISFETが設けられ、該pウェルの表面には第2のゲート電極を有したnチャネル型MISFETが設けられ、該第1および第2のゲート電極の側面はそれぞれ絶縁膜からなるサイドウォール・スペーサにより覆われており、

熱酸化により形成されたゲート酸化膜を介して前記n型ウェルの表面に設けられた前記第1のゲート電極は、該ゲート酸化膜の表面を直接に覆う第1の高融点金属の窒化物からなる第1の導電体膜と、該第1の導電体膜の表面に設けられた第2の高融点金属膜とから構成されて、ゲート絶縁膜を介して前記n型ウェルの表面に設けられた前記第2のゲート電極は、前記第1の高融点金属とは相違した第3の高融点金属の窒化物からなり、該ゲート絶縁膜の表面を直接に覆う第2の導電体膜と、該第2の導電体膜の表面に設けられた金属膜とから構成されて、  
前記第1のゲート電極の側面は、前記サイドウォール・スペーサにより直接に覆われて、  
前記第2のゲート電極の側面は、前記ゲート絶縁膜を介して、前記サイドウォール・スペーサにより覆われていることを特徴とする半導体装置。

【請求項8】 前記第1の高融点金属がチタンからなり、前記第3の高融点金属がタンタルからなる請求項7記載の半導体装置。

【請求項9】 シリコン基板の表面に素子分離領域により分離されたn型ウェルとp型ウェルとを形成し、該n型ウェルおよびp型ウェルの表面に熱酸化によりゲート酸化膜を形成する工程と、

3

第1の高融点金属膜の窒化物からなる導電体膜を全面に形成し、前記n型ウェルの表面上を覆うフォトリソ膜パターン形成し、該フォトリソ膜パターンをマスクにして該導電体膜に窒素をイオン注入する工程と、

第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜を順次全面に形成し、該ハードマスク膜、該第2の高融点金属膜および前記導電体膜を順次異方性エッチングによりパターニングして、前記n型ウェル、p型ウェルの表面上にそれぞれ第1、第2のゲート電極を形成する工程と、

全面に第2の絶縁膜を形成し、該第2の絶縁膜をエッチバックして前記第1、第2のゲート電極の側面を覆うサイドウォール・スペーサを形成し、該第1のゲート電極およびサイドウォール・スペーサをマスクにしたp型不純物のイオン注入により前記n型ウェルの表面にp<sup>+</sup>型ソース・ドレイン領域を形成し、該第2のゲート電極およびサイドウォール・スペーサをマスクにしたn型不純物のイオン注入により前記p型ウェルの表面にn<sup>+</sup>型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成して該p<sup>+</sup>型ソース・ドレイン領域およびn<sup>+</sup>型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項10】 前記第1の高融点金属が、チタン、タングステンおよびタンタルのうちの1つである請求項9記載の半導体装置の製造方法。

【請求項11】 シリコン基板の表面に素子分離領域により分離されたn型ウェルとp型ウェルとを形成し、該n型ウェルおよびp型ウェルの表面に熱酸化により第1のゲート酸化膜を形成する工程と、

第1の窒素ガス流量比のもとでの反応性スパッタリングにより第1の高融点金属膜の窒化物からなる第1の導電体膜を全面に形成し、さらに、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜とを順次全面に形成する工程と、

前記ハードマスク膜、該第2の高融点金属膜および前記導電体膜を順次異方性エッチングによりパターニングして、前記n型ウェルの表面上に第1のゲート電極を形成し、同時に、前記p型ウェルの表面に仮設のゲート電極を形成する工程と、

全面に第2の絶縁膜を形成し、該第2の絶縁膜をエッチバックして前記第1のゲート電極および前記仮設のゲート電極の側面をそれぞれ覆うサイドウォール・スペーサを形成し、該第1のゲート電極およびサイドウォール・スペーサをマスクにしたp型不純物のイオン注入により前記n型ウェルの表面にp<sup>+</sup>型ソース・ドレイン領域を形成し、該仮設のゲート電極およびサイドウォール・スペーサをマスクにしたn型不純物のイオン注入により前記p型ウェルの表面にn<sup>+</sup>型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成して該p<sup>+</sup>型ソ

4

ース・ドレイン領域およびn<sup>+</sup>型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程と、

全面に層間絶縁膜を形成し、前記ハードマスク膜の上面が露出するまで該層間絶縁膜を化学機械研磨(CMP)する工程と、

前記n型ウェルの表面上を覆うフォトリソ膜パターンを形成し、該フォトリソ膜パターンをマスクにして前記ハードマスク膜、仮設のゲート電極および第1のゲート酸化膜を順次エッチング除去する工程と、

気相成長法により全面に第2のゲート酸化膜を形成する工程と、

前記第1の窒素ガス流量比より高い第2の窒素ガス流量比のもとでの反応性スパッタリングにより、第1の高融点金属膜の窒化物からなる第2の導電体膜を全面に形成し、さらに、全面に金属膜を形成する工程と、

前記層間絶縁膜の上面が露出するまで前記金属膜、第2の導電体膜および第2のゲート酸化膜をCMPして、前記p型ウェルの表面上に第2のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 前記第2の導電体膜の結晶方位が前記第1の導電体膜の結晶方位と相違するように前記第2の窒素ガス流量比が設定される請求項11記載の半導体装置の製造方法。

【請求項13】 前記第1の高融点金属が、チタン、タングステンおよびタンタルのうちの1つである請求項11もしくは請求項12記載の半導体装置の製造方法。

【請求項14】 シリコン基板の表面に素子分離領域により分離されたn型ウェルとp型ウェルとを形成し、該n型ウェルおよびp型ウェルの表面に熱酸化によりゲート酸化膜を形成する工程と、

第1の高融点金属膜の窒化物からなる第1の導電体膜を全面に形成し、さらに、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜とを順次全面に形成する工程と、

前記ハードマスク膜、該第2の高融点金属膜および前記導電体膜を順次異方性エッチングによりパターニングして、前記n型ウェルの表面上に第1のゲート電極を形成し、同時に、前記p型ウェルの表面に仮設のゲート電極を形成する工程と、

全面に第2の絶縁膜を形成し、該第2の絶縁膜をエッチバックして前記第1のゲート電極および前記仮設のゲート電極の側面をそれぞれ覆うサイドウォール・スペーサを形成し、該第1のゲート電極およびサイドウォール・スペーサをマスクにしたp型不純物のイオン注入により前記n型ウェルの表面にp<sup>+</sup>型ソース・ドレイン領域を形成し、該仮設のゲート電極およびサイドウォール・スペーサをマスクにしたn型不純物のイオン注入により前記p型ウェルの表面にn<sup>+</sup>型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成して該p<sup>+</sup>型ソ

ース・ドレイン領域および $n^+$ 型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程と、

全面に層間絶縁膜を形成し、前記ハードマスク膜の上面が露出するまで該層間絶縁膜をCMPする工程と、

前記 $n$ 型ウェルの表面上を覆うフォトリソ膜パターンを形成し、該フォトリソ膜パターンをマスクにして前記ハードマスク膜、仮設のゲート電極およびゲート酸化膜を順次エッチング除去する工程と、

気相成長法により全面に窒素を含んでなるゲート絶縁膜を形成する工程と、

前記第1の高融点金属膜の窒化物からなる第2の導電体膜と金属膜とを順次全面に形成する工程と、

熱処理により、前記ゲート絶縁膜から前記第2の導電体膜に窒素を拡散される工程と、

前記層間絶縁膜の上面が露出するまで金属膜を全面に形成し、前記金属膜、第2の導電体膜および第2のゲート酸化膜をCMPして、前記 $p$ 型ウェルの表面上に第2のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】 前記ゲート絶縁膜が窒化シリコン膜あるいは窒化酸化シリコン膜からなり、

前記第1の高融点金属がチタン、タングステンおよびタングステンのうちの1つである請求項14記載の半導体装置の製造方法。

【請求項16】 シリコン基板の表面に素子分離領域により分離された $n$ 型ウェルと $p$ 型ウェルとを形成し、該 $n$ 型ウェルおよび $p$ 型ウェルの表面に熱酸化によりゲート酸化膜を形成する工程と、

第1の高融点金属膜の窒化物からなる第1の導電体膜を全面に形成し、さらに、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜とを順次全面に形成する工程と、

前記ハードマスク膜、該第2の高融点金属膜および前記導電体膜を順次異方性エッチングによりパターンニングして、前記 $n$ 型ウェルの表面上に第1のゲート電極を形成し、同時に、前記 $p$ 型ウェルの表面に仮設のゲート電極を形成する工程と、

全面に第2の絶縁膜を形成し、該第2の絶縁膜をエッチバックして前記第1のゲート電極および前記仮設のゲート電極の側面をそれぞれ覆うサイドウォール・スペーサを形成し、該第1のゲート電極およびサイドウォール・スペーサをマスクにした $p$ 型不純物のイオン注入により前記 $n$ 型ウェルの表面に $p^+$ 型ソース・ドレイン領域を形成し、該仮設のゲート電極およびサイドウォール・スペーサをマスクにした $n$ 型不純物のイオン注入により前記 $p$ 型ウェルの表面に $n^+$ 型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成して該 $p^+$ 型ソース・ドレイン領域および $n^+$ 型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成す

る工程と、

全面に層間絶縁膜を形成し、前記ハードマスク膜の上面が露出するまで該層間絶縁膜をCMPする工程と、

前記 $n$ 型ウェルの表面上を覆うフォトリソ膜パターンを形成し、該フォトリソ膜パターンをマスクにして前記ハードマスク膜、仮設のゲート電極およびゲート酸化膜を順次エッチング除去する工程と、

気相成長法により全面にゲート絶縁膜を形成する工程と、

前記第4の高融点金属膜の窒化物からなる第2の導電体膜を全面に形成し、さらに、金属膜を全面に形成する工程と、

前記層間絶縁膜の上面が露出するまで前記金属膜、第2の導電体膜および第2のゲート酸化膜をCMPして、前記 $p$ 型ウェルの表面上に第2のゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項17】 前記第1の高融点金属がチタンであり、前記第4の高融点金属がタングステンである請求項16記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はゲート長の短い $n$ チャネル型MISFETと $p$ チャネル型MISFETとを有してなる半導体装置とその製造方法とに関する。

【0002】

【従来の技術】MISFETの高集積化および高速化は、スケールリング則に基づいて、MISFETの構造を微細化することにより実現してきた。

【0003】第1に、例えば、ゲート長が $0.1\mu\text{m}$ 以下のMISFETでは、ゲート絶縁膜は $2\text{nm}$ 以下に薄膜化することが必要である。多結晶シリコン膜をゲート電極の構成材料に用いる場合、このような膜厚領域では、ゲート電極には不純物の空乏化による容量が形成される。さらに、チャネル反転層に発生するキャリア量子化等による容量が形成される。これらの容量が、ゲート絶縁膜容量に対して直列に形成されるため、ゲート容量が著しく低下することになる。これらの容量のうち、空乏化による容量を抑制することは、ゲート電極の構成材料を金属により行なうことにより可能になる。ここで、後工程での熱処理に際してのゲート金属膜とゲート絶縁膜との反応を抑制するために、ゲート金属膜とゲート絶縁膜との間に導電率の高いバリア膜を設けることが必要となる。このバリア膜には、通常、窒化チタンや窒化タングステンあるいは窒化タングステン等の高融点金属窒化物が用いられる。

【0004】第2に、スケールリングに伴ってゲート電極、拡散層の断面積も縮小されて、これらのシート抵抗が高くなり、高速かつ高性能な半導体装置の実現が困難になる。ゲート長が $0.12\mu\text{m}$ の世代までは、この第2の問題点の解決策は、多結晶シリコン膜および拡散層

7

上に高融点金属膜（例えばチタン膜やコバルト膜等）を形成し、シリサイド化反応を施して、これらの表面に高融点金属シリサイド膜および高融点金属シリサイド層を形成するシリサイド（自己整合シリサイド）技術の採用であった。

【0005】しかしながら、ゲート長が0.1 $\mu$ m以下の世代では、極細線でのシリサイド化反応の不確実性により、上記手法による低抵抗化は困難になる。そこで、ゲート電極の低抵抗化には、高融点金属シリサイド膜より抵抗率の低い金属膜を用いることが有効になる。特に、後の熱処理による抵抗率の上昇を回避するためには、金属膜として高融点金属膜を用いることが必要となる。この高融点金属としては、通常、チタンやタングステンあるいはタンタル等が用いられる。また、上記熱処理による（ゲート電極を構成する）高融点金属膜とゲート絶縁膜との間の反応を抑制するためにも、高融点金属膜とゲート絶縁膜との間に導電率の高いバリア膜を設けることが必要である。

【0006】半導体装置の製造工程の断面模式図である図9を参照して、ゲート電極が高融点金属膜を含んで構成された相補型のMISFETの構造とその製造方法とを説明する。

【0007】まず、シリコン基板401の表面には、素子分離領域402が形成されて、n型ウェル領域403、p型ウェル領域404が形成される。n型ウェル領域403、p型ウェル領域404の表面には、熱酸化によりゲート酸化膜405が形成される。窒化チタン膜406、タングステン膜407および第1の絶縁膜からなるハードマスク膜408が、順次全面に形成される〔図9（a）〕。

【0008】次に、上記ハードマスク膜408、タングステン膜407および窒化チタン膜406が異方性エッチングにより順次パターニングされて、n型ウェル403の表面上には窒化チタン膜406にタングステン膜407が積層してなる第1のゲート電極409が形成され、p型ウェル404の表面上には窒化チタン膜406にタングステン膜407が積層してなる第2のゲート電極410が形成される。続いて、ゲート電極410をマスクにしたn型不純物のイオン注入とp型不純物のイオン注入とにより、p型ウェル404の表面にはn型ソース・ドレイン・エクステンション領域411とp型ポケット領域412とが形成される。同様に、ゲート電極409をマスクにしたp型不純物のイオン注入とn型不純物のイオン注入とにより、n型ウェル404の表面にはp型ソース・ドレイン・エクステンション領域413とn型ポケット領域414とが形成される〔図9（b）〕。

【0009】次に、全面に形成された第2の絶縁膜がエッチバックされて、ゲート電極409、410の側面をそれぞれに覆うサイドウォール・スペーサ415が形成される。続いて、サイドウォール・スペーサ415並び

8

にゲート電極410をマスクにしたn型不純物のイオン注入により、p型ウェル404の表面にはn<sup>+</sup>型ソース・ドレイン領域416が形成される。同様に、サイドウォール・スペーサ415並びにゲート電極409をマスクにしたp型不純物のイオン注入により、n型ウェル403の表面にはp<sup>+</sup>型ソース・ドレイン領域417が形成される。引き続いて、全面に例えばチタン膜が形成されて、シリサイド化反応が施かれて、n<sup>+</sup>型ソース・ドレイン領域416並びにp<sup>+</sup>型ソース・ドレイン領域417にはそれぞれチタン・シリサイド層418が形成される〔図9（c）〕。その後、図示は省略するが、全面に層間絶縁膜等が形成されて、相補型MISFETを含んでなる従来の半導体装置が完成する。

【0010】

【発明が解決しようとする課題】上記ゲート電極410を有したnチャネル型MISFET、ゲート電極409を有したpチャネル型MISFETのしきい値電圧は、n<sup>+</sup>型多結晶シリコン膜からなるゲート電極を有したnチャネル型MISFET、p<sup>+</sup>型多結晶シリコン膜からなるゲート電極を有したpチャネル型MISFETのしきい値電圧に比べて、それぞれ絶対値が上昇することが知られている。これは、一般に、窒化高融点金属膜のフェルミレベルが、シリコンの導電帯の下端と充満帯の上端との間に存在することによる。しきい値電圧の絶縁値の上昇は、相補型MISFETの動作速度を低下させることになる。

【0011】多結晶シリコン膜からなるゲート電極を有したMISFETでのしきい値電圧の制御は、一般に、チャネル領域となる部分のシリコン基板表面にドナーもしくはアクセプタとなる不純物のドーピングにより行なわれている。しかしながら、窒化高融点金属膜に高融点金属膜が積層された構造のゲート電極を有するMISFETでは、このような不純物のドーピングによるしきい値電圧の制御は不可能である。

【0012】したがって、本発明の目的は、窒化高融点金属膜に高融点金属膜が積層された構造のゲート電極を有する相補型MISFETにおいて、nチャネルおよびpチャネルの少なくとも一方のしきい値電圧の絶縁値の上昇を抑制し得るゲート電極構造とその製造方法とを提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体装置の第1の態様は、シリコン基板の表面には、素子分離領域により分離されたn型ウェルとp型ウェルとが設けられ、このn型ウェルの表面には第1のゲート電極を有したpチャネル型MISFETが設けられ、このpウェルの表面には第2のゲート電極を有したnチャネル型MISFETが設けられ、第1および第2のゲート電極の側面はそれぞれ絶縁膜からなるサイドウォール・スペーサにより覆われており、第1のゲート酸化膜を介して上記n型

9

ウェルの表面に設けられた上記第1のゲート電極は、この第1のゲート酸化膜の表面を直接に覆う第1の高融点金属の窒化物からなる第1の導電体膜と、この第1の導電体膜の表面に設けられた第2の高融点金属膜とから構成されて、第2のゲート酸化膜を介して上記n型ウェルの表面に設けられた上記第2のゲート電極は、上記第1の導電体膜より窒素の含有率の高い上記第1の高融点金属の窒化物からなり、この第2のゲート酸化膜の表面を直接に覆う第2の導電体膜と、この第2の導電体膜の表面に設けられた金属膜とから構成されていることを特徴とする。

【0014】好ましくは、上記第1および第2のゲート電極の側面が、それぞれ上記サイドウォール・スペーサにより直接に覆われており、上記第1および第2のゲート酸化膜が熱酸化膜からなり、上記第2のゲート電極を構成する上記金属膜が上記第2の高融点金属膜からなり、上記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つからなる。

【0015】さらに好ましくは、上記第1のゲート電極の側面は、上記サイドウォール・スペーサにより直接に覆われて、上記第2のゲート電極の側面は、上記第2のゲート酸化膜を介して、上記サイドウォール・スペーサにより覆われており、上記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つからなる。さらには、上記第2の導電体膜の結晶方位が、上記第1の導電体膜の結晶方位と相違する。

【0016】本発明の半導体装置の第2の態様は、シリコン基板の表面には、素子分離領域により分離されたn型ウェルとp型ウェルとが設けられ、このn型ウェルの表面には第1のゲート電極を有したpチャネル型MISFETが設けられ、このpウェルの表面には第2のゲート電極を有したnチャネル型MISFETが設けられ、第1および第2のゲート電極の側面はそれぞれ絶縁膜からなるサイドウォール・スペーサにより覆われており、熱酸化により形成されたゲート酸化膜を介して上記n型ウェルの表面に設けられた上記第1のゲート電極は、このゲート酸化膜の表面を直接に覆う第1の高融点金属の窒化物からなる第1の導電体膜と、この第1の導電体膜の表面に設けられた第2の高融点金属膜とから構成されて、窒素を含んでなるゲート絶縁膜を介して上記n型ウェルの表面に設けられた上記第2のゲート電極は、上記第1の導電体膜より窒素の含有率の高い上記第1の高融点金属の窒化物からなり、このゲート絶縁膜の表面を直接に覆う第2の導電体膜と、この第2の導電体膜の表面に設けられた金属膜とから構成されて、上記第1のゲート電極の側面は、上記サイドウォール・スペーサにより直接に覆われて、上記第2のゲート電極の側面は、上記ゲート絶縁膜を介して、上記サイドウォール・スペーサにより覆われていることを特徴とする。好ましくは、上記ゲート絶縁膜は窒化シリコン膜もしくは窒化酸化シリ

10

コン膜であり、上記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つからなる。

【0017】本発明の半導体装置の第3の態様は、シリコン基板の表面には、素子分離領域により分離されたn型ウェルとp型ウェルとが設けられ、このn型ウェルの表面には第1のゲート電極を有したpチャネル型MISFETが設けられ、このpウェルの表面には第2のゲート電極を有したnチャネル型MISFETが設けられ、第1および第2のゲート電極の側面はそれぞれ絶縁膜からなるサイドウォール・スペーサにより覆われており、熱酸化により形成されたゲート酸化膜を介して上記n型ウェルの表面に設けられた上記第1のゲート電極は、このゲート酸化膜の表面を直接に覆う第1の高融点金属の窒化物からなる第1の導電体膜と、この第1の導電体膜の表面に設けられた第2の高融点金属膜とから構成されて、ゲート絶縁膜を介して上記n型ウェルの表面に設けられた上記第2のゲート電極は、上記第1の高融点金属とは相違した第3の高融点金属の窒化物からなり、このゲート絶縁膜の表面を直接に覆う第2の導電体膜と、この第2の導電体膜の表面に設けられた金属膜とから構成されて、上記第1のゲート電極の側面は、上記サイドウォール・スペーサにより直接に覆われて、上記第2のゲート電極の側面は、上記ゲート絶縁膜を介して、上記サイドウォール・スペーサにより覆われていることを特徴とする。好ましくは、上記第1の高融点金属がチタンからなり、上記第3の高融点金属がタンタルからなる。

【0018】本発明の半導体装置の製造方法の第1の態様は、シリコン基板の表面に素子分離領域により分離されたn型ウェルとp型ウェルとを形成し、これらのn型ウェルおよびp型ウェルの表面に熱酸化によりゲート酸化膜を形成する工程と、第1の高融点金属膜の窒化物からなる導電体膜を全面に形成し、上記n型ウェルの表面上を覆うフォトリソ膜パターン形成し、このフォトリソ膜パターンをマスクにしてこの導電体膜に窒素をイオン注入する工程と、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜を順次全面に形成し、このハードマスク膜、この第2の高融点金属膜および上記導電体膜を順次異方性エッチングによりパターニングして、上記n型ウェル、p型ウェルの表面上にそれぞれ第1、第2のゲート電極を形成する工程と、全面に第2の絶縁膜を形成し、この第2の絶縁膜をエッチバックして上記第1、第2のゲート電極の側面を覆うサイドウォール・スペーサを形成し、これらの第1のゲート電極およびサイドウォール・スペーサをマスクにしたp型不純物のイオン注入により上記n型ウェルの表面にp<sup>+</sup>型ソース・ドレイン領域を形成し、これらの第2のゲート電極およびサイドウォール・スペーサをマスクにしたn型不純物のイオン注入により上記p型ウェルの表面にn<sup>+</sup>型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成してこれらのp<sup>+</sup>型ソース・ドレイン領域お



11

よび $n^+$ 型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程とを有することを特徴とする。好ましくは、上記第1の高融点金属が、チタン、タングステンおよびタンタルのうちの1つである。

【0019】本発明の半導体装置の製造方法の第2の態様は、シリコン基板の表面に素子分離領域により分離された $n$ 型ウェルと $p$ 型ウェルとを形成し、これらの $n$ 型ウェルおよび $p$ 型ウェルの表面に熱酸化により第1のゲート酸化膜を形成する工程と、第1の窒素ガス流量比の10もとの反応性スパッタリングにより第1の高融点金属膜の窒化物からなる第1の導電体膜を全面に形成し、さらに、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜とを順次全面に形成する工程と、上記ハードマスク膜、これらの第2の高融点金属膜および上記導電体膜を順次異方性エッチングによりパターニングして、上記 $n$ 型ウェルの表面上に第1のゲート電極を形成し、同時に、上記 $p$ 型ウェルの表面に仮設のゲート電極を形成する工程と、全面に第2の絶縁膜を形成し、この第2の絶縁膜をエッチバックして上記第1のゲート電極および上記仮設のゲート電極の側面をそれぞれ覆うサイドウォール・スペーサを形成し、これらの第1のゲート電極およびサイドウォール・スペーサをマスクにした $p$ 型不純物のイオン注入により上記 $n$ 型ウェルの表面に $p^+$ 型ソース・ドレイン領域を形成し、これらの仮設のゲート電極およびサイドウォール・スペーサをマスクにした $n$ 型不純物のイオン注入により上記 $p$ 型ウェルの表面に $n^+$ 型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成してこれらの $p^+$ 型ソース・ドレイン領域および $n^+$ 型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程と、全面に層間絶縁膜を形成し、上記ハードマスク膜の上面が露出するまでこの層間絶縁膜を化学機械研磨（CMP）する工程と、上記 $n$ 型ウェルの表面上を覆うフォトリソ膜パターンを形成し、このフォトリソ膜パターンをマスクにして上記ハードマスク膜、仮設のゲート電極および第1のゲート酸化膜を順次エッチング除去する工程と、気相成長法により全面に第2のゲート酸化膜を形成する工程と、上記第1の窒素ガス流量比より高い第2の窒素ガス流量比のもとの反応性スパッタリングにより、第1の高融点金属膜の窒化物からなる第2の導電体膜を全面に形成し、さらに、全面に金属膜を形成する工程と、上記層間絶縁膜の上面が露出するまで上記金属膜、第2の導電体膜および第2のゲート酸化膜をCMPして、上記 $p$ 型ウェルの表面上に第2のゲート電極を形成する工程とを有することを特徴とする。好ましくは、上記第1の高融点金属が、チタン、タングステンおよびタンタルのうちの1つである。

【0020】さらに好ましくは、上記第2の導電体膜の結晶方位が上記第1の導電体膜の結晶方位と相違するよ 50

12

うに上記第2の窒素ガス流量比が設定される。さらに、上記第1の高融点金属が、チタン、タングステンおよびタンタルのうちの1つである。

【0021】本発明の半導体装置の製造方法の第3の態様は、シリコン基板の表面に素子分離領域により分離された $n$ 型ウェルと $p$ 型ウェルとを形成し、これらの $n$ 型ウェルおよび $p$ 型ウェルの表面に熱酸化によりゲート酸化膜を形成する工程と、第1の高融点金属膜の窒化物からなる第1の導電体膜を全面に形成し、さらに、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜とを順次全面に形成する工程と、上記ハードマスク膜、これらの第2の高融点金属膜および上記導電体膜を順次異方性エッチングによりパターニングして、上記 $n$ 型ウェルの表面上に第1のゲート電極を形成し、同時に、上記 $p$ 型ウェルの表面に仮設のゲート電極を形成する工程と、全面に第2の絶縁膜を形成し、この第2の絶縁膜をエッチバックして上記第1のゲート電極および上記仮設のゲート電極の側面をそれぞれ覆うサイドウォール・スペーサを形成し、これらの第1のゲート電極およびサイドウォール・スペーサをマスクにした $p$ 型不純物のイオン注入により上記 $n$ 型ウェルの表面に $p^+$ 型ソース・ドレイン領域を形成し、これらの仮設のゲート電極およびサイドウォール・スペーサをマスクにした $n$ 型不純物のイオン注入により上記 $p$ 型ウェルの表面に $n^+$ 型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成してこれらの $p^+$ 型ソース・ドレイン領域および $n^+$ 型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程と、全面に層間絶縁膜を形成し、上記ハードマスク膜の上面が露出するまでこの層間絶縁膜をCMPする工程と、上記 $n$ 型ウェルの表面上を覆うフォトリソ膜パターンを形成し、このフォトリソ膜パターンをマスクにして上記ハードマスク膜、仮設のゲート電極およびゲート酸化膜を順次エッチング除去する工程と、気相成長法により全面に窒素を含んでなるゲート絶縁膜を形成する工程と、上記第1の高融点金属膜の窒化物からなる第2の導電体膜と金属膜とを順次全面に形成する工程と、熱処理により、上記ゲート絶縁膜から上記第2の導電体膜に窒素を拡散される工程と、上記層間絶縁膜の上面が露出するまで金属膜を全面に形成し、上記金属膜、第2の導電体膜および第2のゲート酸化膜をCMPして、上記 $p$ 型ウェルの表面上に第2のゲート電極を形成する工程とを有することを特徴とする。好ましくは、上記ゲート絶縁膜が窒化シリコン膜あるいは窒化酸化シリコン膜からなり、上記第1の高融点金属がチタン、タングステンおよびタンタルのうちの1つである。

【0022】本発明の半導体装置の製造方法の第4の態様は、シリコン基板の表面に素子分離領域により分離された $n$ 型ウェルと $p$ 型ウェルとを形成し、これらの $n$ 型ウェルおよび $p$ 型ウェルの表面に熱酸化によりゲート酸



13

化膜を形成する工程と、第1の高融点金属膜の窒化物からなる第1の導電体膜を全面に形成し、さらに、第2の高融点金属膜と第1の絶縁膜からなるハードマスク膜とを順次全面に形成する工程と、上記ハードマスク膜、これらの第2の高融点金属膜および上記導電体膜を順次異方性エッチングによりパターンニングして、上記n型ウェルの表面上に第1のゲート電極を形成し、同時に、上記p型ウェルの表面に仮設のゲート電極を形成する工程と、全面に第2の絶縁膜を形成し、この第2の絶縁膜をエッチバックして上記第1のゲート電極および上記仮設のゲート電極の側面をそれぞれ覆うサイドウォール・スペーサを形成し、これらの第1のゲート電極およびサイドウォール・スペーサをマスクにしたp型不純物のイオン注入により上記n型ウェルの表面にp<sup>+</sup>型ソース・ドレイン領域を形成し、これらの仮設のゲート電極およびサイドウォール・スペーサをマスクにしたn型不純物のイオン注入により上記p型ウェルの表面にn<sup>+</sup>型ソース・ドレイン領域を形成し、全面に第3の高融点金属膜を形成してこれらのp<sup>+</sup>型ソース・ドレイン領域およびn<sup>+</sup>型ソース・ドレイン領域の表面に自己整合的に高融点金属シリサイド層を形成する工程と、全面に層間絶縁膜を形成し、上記ハードマスク膜の上面が露出するまでこの層間絶縁膜をCMPする工程と、上記n型ウェルの表面上を覆うフォトリソ膜パターンを形成し、このフォトリソ膜パターンをマスクにして上記ハードマスク膜、仮設のゲート電極およびゲート酸化膜を順次エッチング除去する工程と、気相成長法により全面にゲート絶縁膜を形成する工程と、上記第4の高融点金属膜の窒化物からなる第2の導電体膜を全面に形成し、さらに、金属膜を全面に形成する工程と、上記層間絶縁膜の上面が露出するまで上記金属膜、第2の導電体膜および第2のゲート酸化膜をCMPして、上記p型ウェルの表面上に第2のゲート電極を形成する工程とを有することを特徴とする。好ましくは、上記第1の高融点金属がチタンであり、上記第4の高融点金属がタンタルである。

【0023】

【発明の実施の形態】次に、図面を参照して本発明を説明する。

【0024】本発明の第1の実施の形態の半導体装置では、pチャネル型MISFETは第1のゲート電極を有し、nチャネル型MISFETは第2のゲート電極を有している。第1のゲート電極は第1のゲート酸化膜を介してn型ウェルの表面上に設けられ、第2のゲート電極は第2のゲート酸化膜を介してp型ウェルの表面上に設けられている。第1および第2のゲート電極の側面は、それぞれ絶縁膜からなるサイドウォール・スペーサにより覆われている。少なくとも第1のゲート電極の側面は、サイドウォール・スペーサにより直接に覆われている。

【0025】第1のゲート電極は、第1の高融点金属の

14

窒化物からなる第1の導電体膜に、第2の高融点金属膜が積層してなる。第1の導電体膜は第1のゲート酸化膜の表面を直接に覆っている。第2のゲート電極は、第1の高融点金属の窒化物からなる第2の導電体膜に、金属膜が積層してなる。第2の導電体膜も第1のゲート酸化膜の表面を直接に覆っている。本第1の実施の形態の特徴は、第2の導電体膜の窒素含有率が第1の導電体膜の窒素含有率より高くなっている点にある。

【0026】半導体装置の断面模式図である図1を参照すると、本第1の実施の形態の第1の実施例による半導体装置の構造は、以下のとおりになっている。

【0027】シリコン基板101の表面には、（例えば浅い溝に絶縁膜が充填されてなるSTI構造の）素子分離領域102により分離されたn型ウェル103とp型ウェル104とが設けられている。n型ウェル103並びにp型ウェル104の表面には、それぞれ熱酸化によるゲート酸化膜105が設けられている。すなわち、本第1の実施例では、第1のゲート電極と第2のゲート電極とが同じである。n型ウェル103の表面には（第1の）ゲート電極109を有したpチャネル型MISFETが設けられ、p型ウェル104の表面には（第2の）ゲート電極110aを有したnチャネル型MISFETが設けられている。ゲート電極109、110aの上面はそれぞれ第1の絶縁膜（例えば窒化シリコン膜）からなるハードマスク膜108により直接に覆われ、ゲート電極109、110aの側面はそれぞれ第2の絶縁膜（例えば酸化シリコン膜）からなるサイドウォール・スペーサ115により直接に覆われている。

【0028】ゲート酸化膜105を介してn型ウェル103の表面上に設けられたゲート電極109は、ゲート酸化膜105の表面を直接に覆う（第1の高融点金属の窒化物からなる第1の導電体膜である）例えば窒化チタン膜106と、窒化チタン膜106の表面上に設けられた（第2の高融点金属膜である）例えばタングステン膜107との積層膜から構成されている。ゲート酸化膜105を介してp型ウェル104の表面上に設けられたゲート電極110aは、ゲート酸化膜105の表面を直接に覆う（第1の高融点金属の窒化物からなる第2の導電体膜である）例えば窒化チタン膜106aと、窒化チタン膜106aの表面上に設けられた（第2の高融点金属膜である）例えばタングステン膜107との積層膜から構成されている。

【0029】本第1の実施例では、（詳細は後述するが）第2の導電体膜である窒化チタン膜106aは第1の導電体膜である窒化チタン膜106が変換されたものであり、窒化チタン膜106aの窒素含有率が窒化チタン膜106の窒素含有率より高くなっている。さらに本第1の実施例では、第2のゲート電極であるゲート電極110aの構成部品材料である金属膜が、第1のゲート電極であるゲート電極109の構成部品材料のタングス

15

テン膜107から構成されている。

【0030】p型ウェル104の表面には、ゲート電極110aに自己整合的にn型ソース・ドレイン・エクテンション領域111とp型ポケット領域112とが設けられ、ゲート電極110a並びにサイドウォール・スペーサ115に自己整合的にn<sup>+</sup>型ソース・ドレイン領域116が設けられている。n型ウェル103の表面には、ゲート電極109に自己整合的にp型ソース・ドレイン・エクテンション領域113とn型ポケット領域114とが設けられ、ゲート電極109並びにサイドウォール・スペーサ115に自己整合的にp<sup>+</sup>型ソース・ドレイン領域117が設けられている。さらに、n<sup>+</sup>型ソース・ドレイン領域116およびp<sup>+</sup>型ソース・ドレイン領域117の表面は、それぞれ自己整合的に（第3の高融点金属の珪化物からなる）高融点金属シリサイド層118により覆われている（狭義のシリサイド構造になっている）。高融点金属シリサイド層118は、チタン・シリサイドもしくはコバルト・シリサイドからなる。

【0031】半導体装置の製造工程の断面模式図である図2と、上記図1とを参照すると、本第1の実施例による半導体装置は、以下のとおりに形成される。

【0032】まず、シリコン基板101の表面に例えばSTI構造の素子分離領域102、n型ウェル103およびp型ウェル104が形成される。素子分離領域102の深さは例えば高々1000nm程度である。熱酸化により、n型ウェル103およびp型ウェル104の表面にそれぞれゲート酸化膜105が形成される。ゲート酸化膜105の膜厚は、例えば3.5nmであり、高々10nm程度である。続いて、反応性スパッタリング（あるいはCVDでもよい）により、第1の高融点金属の窒化物からなる第1の導電体膜として例えば窒化チタン膜106が全面に形成される。窒化チタン膜106の膜厚は高々100nm程度である〔図2（a）〕。なお、本第1の実施例では、第1の高融点金属がチタンに限定されるものではなく、タングステンあるいはタンタル等の他の高融点金属であってもよい。

【0033】次に、n型ウェル103の表面上を覆うフォトリソ膜パターン136が形成される。このフォトリソ膜パターン136をマスクにして、100keV以下のエネルギー、 $1 \times 10^{14} \text{cm}^{-2}$ 以上のドーズ量のもとに窒素のイオン注入が行なわれて、p型ウェル104の表面上の窒化チタン膜106が窒化チタン膜106aになる〔図2（b）〕。

【0034】次に、有機溶剤を用いて、上記フォトリソ膜パターン136が剥離される。その後、第2の高融点金属膜として例えばタングステン膜107がスパッタリングあるいはCVDにより全面に形成される。タングステン膜107の膜厚は、高々200nm程度である。CVDにより、例えば窒化シリコン膜からなる第1の絶縁膜であるハードマスク膜108が、全面に形成さ

16

れる。ハードマスク膜108の膜厚は少なくとも10nm程度である。なお、本第1の実施例において、第2の高融点金属膜は、タングステン膜に限定されるものではない。

【0035】次に、ハードマスク膜108と、タングステン膜107と、窒化チタン膜106並びに窒化チタン膜106aとが、順次異方性エッチングによりパターニングされて、それぞれ上面にハードマスク膜108が載置された（窒化チタン膜106にタングステン膜107が積層された）ゲート電極109と（窒化チタン膜106aにタングステン膜107が積層された）ゲート電極110aとが形成される。タングステン膜107のパターニングはSF<sub>6</sub>とHBrとの混合ガス等により行なわれ、窒化チタン膜106、106aのパターニングはArとHBrとの混合ガス等により行なわれる。なお、本第1の実施例では、ハードマスク膜108が必須ではなく、上記パターニングのエッチングマスクがフォトリソ膜パターンのみであってもよい。

【0036】続いて、チャネル長が短い領域でのしきい値電圧（V<sub>TH</sub>）の変動を抑制するために、それぞれイオン注入により、p型ウェル104の表面にはゲート電極110aに自己整合的にn型ソース・ドレイン領域111、p型ポケット領域112が形成され、n型ウェル103の表面にはゲート電極109に自己整合的にp型ソース・ドレイン領域113、n型ポケット領域114が形成される。n型ソース・ドレイン領域111は50keV以下、 $1 \times 10^{13} \text{cm}^{-2}$ 以上の砒素もしくは燐のイオン注入により形成され、p型ポケット領域112は150keV以下、 $1 \times 10^{12} \text{cm}^{-2}$ 以上のボロンのイオン注入により形成され、p型ソース・ドレイン領域113は100keV以下、 $1 \times 10^{13} \text{cm}^{-2}$ 以上のボロンのイオン注入により形成され、n型ポケット領域112は150keV以下、 $1 \times 10^{12} \text{cm}^{-2}$ 以上の砒素（もしくは燐）のイオン注入により形成される〔図2（c）〕。

【0037】次に、全面に第2の絶縁膜として例えばLPCVDによる酸化シリコン膜が形成される。第2の絶縁膜の膜厚は高々200nm程度である。この第2の絶縁膜がエッチバックされて、ゲート電極109、110aの側面を覆うサイドウォール・スペーサ115が形成される。100keV以下、 $1 \times 10^{14} \text{cm}^{-2}$ 以上の条件のもとに、砒素もしくは燐が、サイドウォール・スペーサ115並びにゲート電極110aに自己整合的に、p型ウェル104の表面にイオン注入される。さらに、100keV以下、 $1 \times 10^{14} \text{cm}^{-2}$ 以上の条件のもとに、ボロンが、サイドウォール・スペーサ115並びにゲート電極109に自己整合的に、n型ウェル103の表面にイオン注入される。さらに、例えば900℃以上、20分以下の条件のもとに熱処理が施されて、n<sup>+</sup>型ソース・ドレイン領域116、p<sup>+</sup>型ソース・ドレ

17

ン領域117が形成される。第3の高融点金属膜として、チタン膜あるいはコバルト膜が全面に形成される。シリサイド化反応が施された後、未反応の第3の高融点金属膜が選択的に除去されて、 $n^+$ 型ソース・ドレイン領域116および $p^+$ 型ソース・ドレイン領域117の表面にはそれぞれ自己整合的に高融点金属シリサイド層118が形成されて、本第1の実施例の相補型MISFETが形成される〔図1〕。

【0038】本第1の実施例の効果を説明するための図であり、窒化チタン膜への窒素イオン注入量に対するしきい値電圧の変化量( $\Delta V_{TH}$ )を示すグラフである図3を参照して、本第1の実施例の効果を説明する。

【0039】図3において、 $\Delta V_{TH} = V_{TH}(\text{dose}) - V_{TH}(\text{non-dose})$ 、 $V_{TH}(\text{non-dose})$ ；窒素イオン注入前のしきい値電圧、 $V_{TH}(\text{dose})$ ；窒素イオン注入された場合のしきい値電圧である。

【0040】第1の高融点金属がチタンからなるとき、第1の導電体膜である窒化チタン膜に窒素をイオン注入すると、 $n$ チャネル型MISFET、 $p$ チャネル型MISFETともに、 $\Delta V_{TH} < 0$ となる。これは、窒素の注入により、窒化チタンの仕事関数が低下したためと考えられる。ドーズ量に対する $\Delta V_{TH}$ の変化率は $n$ チャネル型MISFETの方が高くなっている。この測定において、第1の導電体膜である窒化チタン膜の膜厚は20nm、電源電圧( $V_D$ )の絶対値は1.5V、ゲート長 $L_g$ はそれぞれ0.25 $\mu\text{m}$ 、ゲート酸化膜の膜厚( $T_{ox}$ )は3.5nmである。

【0041】なお、このような傾向は窒化チタンに固有なものではなく、窒化タングステンや窒化タンタルの場合にも同様の傾向を有している。

【0042】図3の結果からも明らかなように、全面に窒化チタン膜からなる第1の導電体膜を形成した後、 $n$ 型ウェルの表面を覆う部分の窒化チタン膜に窒素イオン注入を行なって第2の導電体膜に変換するならば、 $p$ チャネル型MISFET(第1のゲート電極が第2の導電体膜と第2の高融点金属膜との積層膜から構成されることになり)のしきい値電圧の絶縁値が大きくなり、本発明の目的は達せられないことになる。このため本第1の実施例では、窒素イオン注入を $p$ 型ウェル側の窒化チタン膜に行なって、 $n$ チャネル型MISFETのしきい値電圧を低下させている。その結果、窒化高融点金属膜に高融点金属膜が積層された構造のゲート電極を有する相補型MISFETにおいて、 $n$ チャネルMISFETのしきい値電圧の絶縁値の上昇を抑制することが可能になる。

【0043】本第1の実施の形態における第2の導電体膜の構成、製造方法は、上記第1の実施例のように第1の導電体膜に窒素イオン注入して得られるものに限定されるものではない。本実施の形態の他の(第2、3の)

18

実施例では、第2の導電体膜は別途形成される。

【0044】半導体装置の製造工程の断面模式図である図4を参照して、本第1の実施の形態の第2の実施例を製造方法に沿って説明する。

【0045】まず、上記第1の実施例と同様に、シリコン基板101の表面に例えばSTI構造の素子分離領域102、 $n$ 型ウェル103および $p$ 型ウェル104が形成される。熱酸化により、 $n$ 型ウェル103および $p$ 型ウェル104の表面にそれぞれ(第1の)ゲート酸化膜105が形成される。

【0046】続いて、窒素ガス( $N_2$ )の流量比( $=N_2 / (N_2 + Ar)$ )が例えば40%程度の(低い流量比の)もとでの反応性スパッタリングにより、第1の高融点金属の窒化物からなる第1の導電体膜として例えば窒化チタン膜106が全面に形成される。窒化チタン膜106の膜厚は高々100nm程度である。なお、本第2の実施例では、第1の高融点金属がチタンに限定されるものではなく、タングステンあるいはタンタル等の他の高融点金属であってもよい。また、窒素ガスの流量比が低い状態のもとでのCVDにより、第1の導電体膜を形成することも可能である。

【0047】引き続いて、上記第1の実施例と同様の製造条件のもとに、第2の高融点金属膜であるタングステン膜107と、第1の絶縁膜であるハードマスク膜108とが全面に形成される。本第2の実施例では、上記第1の実施例と相違して、ハードマスク膜108の存在は必須であり、第1の絶縁膜は窒化シリコン膜であることが好ましい〔図4(a)〕。

【0048】次に、ハードマスク膜108と、タングステン膜107と、窒化チタン膜106とが、順次異方性エッチングによりパターニングされて、それぞれ上面にハードマスク膜108が載置された第1のゲート電極109、仮設のゲート電極110が、第1のゲート酸化膜105を介して、それぞれ $p$ 型ウェル103、 $n$ 型ウェル104の表面上に形成される。続いて、上記第1の実施例と同様の製造条件のもとに、 $p$ 型ウェル104の表面には仮設のゲート電極110に自己整合的に $n$ 型ソース・ドレイン領域111、 $p$ 型ポケット領域112が形成され、 $n$ 型ウェル103の表面には第1のゲート電極109に自己整合的に $p$ 型ソース・ドレイン領域113、 $n$ 型ポケット領域114が形成される〔図4(b)〕。

【0049】次に、全面に第2の絶縁膜がLPCVDにより形成される。第2の絶縁膜の膜厚は高々200nm程度であり、第2の絶縁膜としては好ましくは酸化シリコン膜である。この第2の絶縁膜がエッチバックされて、ゲート電極109、110の側面を覆うサイドウォール・スペーサ115が形成される。その後、上記第1の実施例と同様の製造条件のもとに、 $n^+$ 型ソース・ドレイン領域116がサイドウォール・スペーサ115並

19

びに仮設のゲート電極110に自己整合的にp型ウェル104の表面に形成され、p<sup>+</sup>型ソース・ドレイン領域117がサイドウォール・スペーサ115並びに第1のゲート電極109に自己整合的にn型ウェル103の表面に形成される。さらに、(チタンあるいはコバルトからなる第3の高融点金属の珪化物である)高融点金属シリサイド層118が、n<sup>+</sup>型ソース・ドレイン領域116およびp<sup>+</sup>型ソース・ドレイン領域117の表面にそれぞれ自己整合的に形成される。

【0050】次に、上記第1の実施例と相違して、酸化シリコン系絶縁膜からなる層間絶縁膜119がCVDにより全面に形成される。層間絶縁膜119の膜厚は高々100nm程度である。第1のゲート電極109および仮設のゲート電極に載置されたハードマスク膜108の上面が露出するまで、この層間絶縁膜119が化学機械研磨(CMP)される。続いて、p型ウェル103の表面上を覆うフォトリソ膜パターン139が形成される。このフォトリソ膜パターン139をマスクにして、仮設のゲート電極110に載置されたハードマスク膜108と、この仮設のゲート電極110とが順次選択的に除去される。さらに、この除去部に露出した部分の第1のゲート酸化膜105が、弗酸系のウェット・エッチングにより除去される(図4(c))。

【0051】次に、上記フォトリソ膜パターン139が除去される。なお、上記仮設ゲート電極の除去部に露出したゲート酸化膜105の除去に先だって、フォトリソ膜パターン139の除去を行なってもよい。

【0052】次に、好ましくはLPCVDにより、全面に第2のゲート酸化膜125bが形成される。ゲート酸化膜125bの膜厚は高々10nm程度である。続いて、窒素ガス(N<sub>2</sub>)の流量比が例えば80%程度の(高い流量比の)もとでの反応性スパッタリングにより、第1の高融点金属の窒化物からなる第2の導電体膜として例えば窒化チタン膜126bが全面に形成される。窒化チタン膜126bの窒素含有量は窒化チタン膜106の窒素含有量より高くなっている。窒化チタン膜126bの膜厚は高々200nm程度である。窒化チタン膜126bの形成は、(窒化チタン膜106と同様に)CVDで行なってもよい。さらに、CVDもしくはスパッタリングにより、金属膜として例えばタングステン膜127が全面に形成される。タングステン膜127の膜厚は高々200nm程度である。本第2の実施例では、金属膜を構成する金属はタングステンのような高融点金属に限定されるものではなく、例えばアルミ系合金、銅等であってもよい。

【0053】次に、層間絶縁膜119の上面、第1のゲート電極109に載置されたハードマスク膜108の上面が露出するまで、タングステン膜127、窒化チタン膜126bおよびゲート酸化膜125bがCMPされる(なお、層間絶縁膜119の上面および第1のゲート電

20

極109に載置されたハードマスク膜108の上面を直接に覆う部分のゲート酸化膜125bが露出するまで、窒化チタン膜126bおよびタングステン膜127からなる積層膜がCMPされるのもそのが、CMPの制御性という点では上記手法が好ましい)。これにより、窒化チタン膜126bにタングステン膜127が積層された構造の第2のゲート電極110bが、形成される。第2のゲート電極110bの側面は第2のゲート酸化膜125bを介してサイドウォール・スペーサ115に覆われており、第2のゲート酸化膜125b表面は第2の導電体膜である窒化チタン膜126bにより直接に覆われている(図4(d))。

【0054】本第2の実施例の効果を説明するための図であり、窒化チタン膜形成時の窒素ガス流量比に対するしきい値電圧の変化量( $\Delta V_{TH}$ )を示すグラフである図5を参照して、本第2の実施例の効果を説明する。

【0055】図5において、 $\Delta V_{TH} = V_{TH}(metal) - V_{TH}(poly-Si)$ 、 $V_{TH}(metal)$ ；第1の高融点金属の窒化物からなる導電体膜に第2の高融点金属膜もしくは金属膜が積層してなるゲート電極を有した(nチャネル型あるいはpチャネル型)MISFETのしきい値電圧、 $V_{TH}(poly-Si)$ ；(n<sup>+</sup>型あるいはp<sup>+</sup>型)多結晶シリコン膜からなるゲート電極を有した(nチャネル型あるいはpチャネル型)MISFETのしきい値電圧である。

【0056】第1の高融点金属がチタンからなるとき、第1の導電体膜である窒化チタン膜の形成時に窒素ガスの流量比を高くすると、nチャネル型MISFET、pチャネル型MISFETともに、しきい値電圧( $V_{TH}$ )は負の方向にシフトする。これは、上記第1の実施例と同様に、窒化チタン膜中の窒素含有率が上昇して、窒化チタンの仕事関数が低下したためと考えられる。この測定では、短チャネル効果が排除されるゲート長の十分に長いMISFETにより測定を行なった。電源電圧( $V_D$ )の絶対値は1.5V、ゲート長 $L_G$ はそれぞれ1.0 $\mu m$ 、ゲート酸化膜の膜厚( $T_{ox}$ )は2.5nmである。この傾向は窒化チタンに固有なものではなく、窒化タングステンや窒化タンタルの場合にも同様の傾向を有している。

【0057】図5の結果を利用して、pチャネル型MISFETの第1のゲート電極の構成する窒化チタン膜の窒素含有率を低く設定し、nチャネル型MISFETの第2のゲート電極を構成する窒化チタン膜の窒素含有率を高く設定するならば、本発明の目的が達せられることになる。さらに図3と図5との比較から明らかなように、上記第1の実施例に比べて、本第2の実施例の方がnチャネル型MISFETのしきい値電圧の低減が容易に行なえる。

【0058】なお、窒素ガスの流量比が30%に満たない場合には、窒化チタン膜がバリア膜として機能しなく

21

なる。したがって、第1のゲート電極を構成する窒化チタン膜の形成は、少なくとも30%程度の窒素ガス流量比のもとに行なうのが好ましい。

【0059】半導体装置の主要製造工程の断面模式図である図6と上記図3とを参照すると、本第1の実施の形態の第3の実施例は、上記第2の実施例の応用例であり、以下のとおりに形成される。

【0060】まず、上記第1、2の実施例と同様に、シリコン基板101の表面に例えばSTI構造の素子分離領域102、n型ウェル103およびp型ウェル104が形成され、熱酸化によりn型ウェル103およびp型ウェル104の表面にそれぞれ第1のゲート酸化膜105が形成される。窒素ガス流量比が少なくとも30%程度で好ましくは40%のもとでの反応性スパッタリングにより、窒化チタン膜106が全面に形成される。

【0061】続いて、上記第2の実施例と同様に、タングステン膜107、ハードマスク膜108が全面に形成され、ハードマスク膜108、タングステン膜107および窒化チタン膜106が順次異方性エッチングによりパターニングされて、それぞれ上面にハードマスク膜108が載置された第1のゲート電極109、(図示は省略するが)仮設ゲート電極が形成される。p型ウェル104の表面には上記仮設ゲート電極に自己整合的にn型ソース・ドレイン領域111、p型ポケット領域112が形成され、n型ウェル103の表面には第1のゲート電極109に自己整合的にp型ソース・ドレイン領域113、n型ポケット領域114が形成される。全面に第2の絶縁膜が形成され、この第2の絶縁膜がエッチバックされて、ゲート電極109、上記仮設ゲート電極の側面を覆うサイドウォール・スペーサ115が形成される。

【0062】さらに、n<sup>+</sup>型ソース・ドレイン領域116がサイドウォール・スペーサ115並びに上記仮設ゲート電極に自己整合的にp型ウェル104の表面に形成され、p<sup>+</sup>型ソース・ドレイン領域117がサイドウォール・スペーサ115並びに第1のゲート電極109に自己整合的にn型ウェル103の表面に形成される。

(チタンあるいはコバルトからなる第3の高融点金属の珪化物である)高融点金属シリサイド層118が、n<sup>+</sup>型ソース・ドレイン領域116およびp<sup>+</sup>型ソース・ドレイン領域117の表面にそれぞれ自己整合的に形成される。

【0063】次に、上記第2の実施例と同様に、酸化シリコン系絶縁膜からなる層間絶縁膜119がCVDにより全面に形成される。第1のゲート電極109および仮設ゲート電極に載置されたハードマスク膜108の上面が露出するまで、この層間絶縁膜119がCMPされる。続いて、p型ウェル103の表面上を覆うフォトリジスト膜パターン139が形成される。このフォトリジスト膜パターン139をマスクにして、上記仮設ゲート

22

電極に載置されたハードマスク膜と、この仮設ゲート電極とが順次選択的に除去される。さらに、この除去部に露出した部分のゲート酸化膜105が、弗酸系のウェット・エッチングにより除去される〔図6(a)〕。

【0064】次に、上記フォトリジスト膜パターン139が除去される。なお、上記仮設ゲート電極の除去部に露出したゲート酸化膜105の除去に先だって、フォトリジスト膜パターン139の除去を行なってもよい。

【0065】次に、好ましくはLPCVDにより、全面に第2のゲート酸化膜125cが形成される。ゲート酸化膜125cの膜厚は高々10nm程度である。続いて、窒素ガスの流量比が例えば100%程度の(十分に高い流量比の)もとでの反応性スパッタリングにより、第1の高融点金属の窒化物からなる第2の導電体膜として例えば窒化チタン膜126cが全面に形成される(図5参照)。窒素ガス流量比40%程度で形成された窒化チタン膜106の結晶方位(配向)は概ね{111}であるが、この窒化チタン膜126cの結晶方位(配向)は概ね{200}である。窒化チタン膜126cの形成はCVDで行なうことも可能である。CVDもしくはスパッタリングにより、金属膜として例えばタングステン膜127が全面に形成される。タングステン膜127の膜厚は高々200nm程度である。本第3の実施例でも、金属膜を構成する金属はタングステンのような高融点金属に限定されるものではなく、例えばアルミ系合金、銅等であってもよい。

【0066】次に、層間絶縁膜119の上面、第1のゲート電極109に載置されたハードマスク膜108の上面が露出するまで、タングステン膜127、窒化チタン膜126cおよびゲート酸化膜125cがCMPされる。これにより、窒化チタン膜126cにタングステン膜127が積層された構造の第2のゲート電極110cが、形成される。第2のゲート電極110cの側面も第2のゲート酸化膜125cを介してサイドウォール・スペーサ115に覆われており、第2のゲート酸化膜125c表面は第2の導電体膜である窒化チタン膜126cにより直接に覆われている〔図6(b)〕。

【0067】本第3の実施例は、上記第2の実施例の有した効果を有している。

【0068】本発明は上記第1の実施の形態に限定されるものではない。本発明の第2の実施の形態のnチャネル型MISFETを構成するゲート絶縁膜は、窒素を含んだ絶縁膜から構成されている。本第2の実施の形態ではnチャネル型MISFETを構成するゲート絶縁膜からの窒素の固相拡散を利用して、第2のゲート電極を構成する第1の高融点金属の窒化物からなる第2の導電体膜の窒素含有率が高められている。

【0069】半導体装置の主要製造工程の断面模式図である図7を参照すると、本第2の実施の形態の一実施例は以下のとおりに形成される。

23

【0070】まず、上記第1の実施の形態の上記第1の実施例と同様に、シリコン基板201の表面に例えばSTI構造の素子分離領域202、n型ウェル203およびp型ウェル204が形成され、熱酸化によりn型ウェル203およびp型ウェル204の表面にそれぞれゲート酸化膜205が形成される。ゲート酸化膜の205の膜厚は高々10nm程度である。反応性スパッタリングもしくはCVDにより、(第1の高融点金属の窒化物からなる第1の導電体膜である)例えば窒化チタン膜206が全面に形成される。本一実施例においても、第1の高融点金属はチタンに限定されるものではなく、タン

10 ステンあるいはタンタルでもよい。  
 【0071】続いて、上記第1の実施の形態の上記第2の実施例と同様に、第2の高融点金属膜であるタングステン膜207、ハードマスク膜208が全面に形成され、ハードマスク膜208、タングステン膜207および窒化チタン膜206が順次異方性エッチングによりパターンニングされて、それぞれ上面にハードマスク膜208が載置された第1のゲート電極209および(図示はしないが)仮設ゲート電極が形成される。本一実施例においても、第2の高融点金属膜はタングステン膜に限定されるものではなく、チタン膜あるいはタンタル膜でもよい。p型ウェル204の表面には上記仮設ゲート電極に自己整合的にn型ソース・ドレイン領域211、p型ポケット領域212が形成され、n型ウェル203の表面には第1のゲート電極209に自己整合的にp型ソース・ドレイン領域213、n型ポケット領域214が形成される。全面に第2の絶縁膜が形成され、この第2の絶縁膜がエッチバックされて、ゲート電極209、上記仮設ゲート電極の側面を覆うサイドウォール・スペーサ215が形成される。

【0072】さらに、n<sup>+</sup>型ソース・ドレイン領域216がサイドウォール・スペーサ215並びに上記仮設ゲート電極に自己整合的にp型ウェル204の表面に形成され、p<sup>+</sup>型ソース・ドレイン領域217がサイドウォール・スペーサ215並びに第1のゲート電極209に自己整合的にn型ウェル203の表面に形成される。

(チタンあるいはコバルトからなる第3の高融点金属の珪化物である)高融点金属シリサイド層218が、n<sup>+</sup>型ソース・ドレイン領域216およびp<sup>+</sup>型ソース・ドレイン領域217の表面にそれぞれ自己整合的に形成される。

【0073】次に、上記第1の実施の形態の上記第2の実施例と同様に、酸化シリコン系絶縁膜からなる層間絶縁膜219がCVDにより全面に形成される。第1のゲート電極209および上記仮設ゲート電極に載置されたハードマスク膜208の上面が露出するまで、この層間絶縁膜219がCMPされる。続いて、p型ウェル203の表面上を覆うフォトリソ膜パターン239が形成される。このフォトリソ膜パターン239をマス

24

クにして、仮設ゲート電極に載置されたハードマスク膜と、この仮設ゲート電極とが順次選択的に除去される。さらに、この除去部に露出した部分のゲート酸化膜205が、弗酸系のウェット・エッチングにより除去される〔図7(a)〕。

【0074】次に、上記フォトリソ膜パターン239が除去される。なお、上記仮設ゲート電極の除去部に露出したゲート酸化膜205の除去に先だって、フォトリソ膜パターン239の除去を行なってもよい。

【0075】次に、全面に例えば窒化酸化シリコン膜もしくは窒化シリコン膜からなるゲート絶縁膜225が形成される。ゲート絶縁膜225の酸化シリコン膜に換算した膜厚は高々10nm程度である。ゲート絶縁膜225が窒化酸化シリコン膜からなる場合、 $\text{SH}_4 + \text{N}_2\text{O} + \text{NH}_3$ の混合ガスにより $7 \times 10^3$  Pa程度の圧力のもとでのPECVDにより形成される。このときのゲート絶縁膜225中の窒素含有率はアンモニアガスの流量比により制御される。ゲート絶縁膜225が窒化シリコン膜からなる場合、LPCVDもしくはPECVDにより形成される。このときも、ゲート225中の窒素含有率はアンモニアガスの流量比により制御される。続いて、例えば上記窒化チタン膜206の形成と同じ条件で、(第1の高融点金属の窒化物からなる第2の導電体膜である)窒化チタン膜226が形成される。

【0076】続いて、900℃、10秒間程度の熱処理が施されて、窒化チタン膜226にはゲート絶縁膜225から窒素が固相熱拡散される。これにより、窒化チタン226の窒素含有率は、窒化チタン膜206の窒素含有率より高められる。

【0077】次に、CVDもしくはスパッタリングにより、金属膜として例えばタングステン膜227が全面に形成される。タングステン膜227の膜厚は高々200nm程度である。本一実施例でも、金属膜を構成する金属はタングステンのような高融点金属に限定されるものではなく、例えばアルミ系合金、銅等であってもよい。

【0078】次に、層間絶縁膜219の上面、第1のゲート電極209に載置されたハードマスク膜208の上面が露出するまで、タングステン膜227、窒化チタン膜226およびゲート絶縁膜225がCMPされる。これにより、窒化チタン膜226にタングステン膜227が積層された構造の第2のゲート電極210が、形成される。第2のゲート電極210の側面はゲート絶縁膜225を介してサイドウォール・スペーサ215に覆われており、ゲート絶縁膜225表面は第2の導電体膜である窒化チタン膜226により直接に覆われている〔図7(b)〕。

【0079】本第2の実施と形態の本一実施例も、上記第1の実施の形態と同様の効果を有している。

【0080】本発明の第3の実施の形態では、pチャネル型MISFETの第1のゲート電極を構成する第1の



25

導電体膜が第1の高融点金属の窒化物であるのに対して、nチャネル型MISFETを構成する第2のゲート電極を構成する第2の導電体膜が別の高融点金属の窒化物からなる。ここでは、第2の高融点金属は、第2の導電体膜の仕事関数が第1の導電体膜の仕事関数より小さくなるように選択される。

【0081】半導体装置の主要製造工程の断面模式図である図8を参照すると、本第3の実施の形態の一実施例は以下のとおり形成される。

【0082】まず、上記第1の実施の形態の上記第1の実施例と同様に、シリコン基板301の表面に例えばSTI構造の素子分離領域302、n型ウェル303およびp型ウェル304が形成され、熱酸化によりn型ウェル303およびp型ウェル304の表面にそれぞれゲート酸化膜305が形成される。ゲート酸化膜の305の膜厚は高々10nm程度である。反応性スパッタリングもしくはCVDにより、(第1の高融点金属の窒化物からなる第1の導電体膜である)例えば窒化チタン膜306が全面に形成される。

【0083】続いて、上記第1の実施の形態の上記第2の実施例と同様に、第2の高融点金属膜であるタングステン膜307、ハードマスク膜308が全面に形成され、ハードマスク膜308、タングステン膜307および窒化チタン膜306が順次異方性エッチングによりパターンニングされて、それぞれ上面にハードマスク膜308が載置された第1のゲート電極309および(図示はしないが)仮設ゲート電極が形成される。本一実施例においても、第2の高融点金属膜はタングステン膜に限定されるものではなく、チタン膜あるいはタンタル膜でもよい。p型ウェル304の表面には上記仮設ゲート電極に自己整合的にn型ソース・ドレイン領域311、p型ポケット領域312が形成され、n型ウェル303の表面には第1のゲート電極309に自己整合的にp型ソース・ドレイン領域313、n型ポケット領域314が形成される。全面に第2の絶縁膜が形成され、この第2の絶縁膜がエッチバックされて、ゲート電極309、上記仮設ゲート電極の側面を覆うサイドウォール・スペーサ315が形成される。

【0084】さらに、n<sup>+</sup>型ソース・ドレイン領域316がサイドウォール・スペーサ315並びに上記仮設ゲート電極に自己整合的にp型ウェル304の表面に形成され、p<sup>+</sup>型ソース・ドレイン領域317がサイドウォール・スペーサ315並びに第1のゲート電極309に自己整合的にn型ウェル303の表面に形成される。

(チタンあるいはコバルトからなる第3の高融点金属の珪化物である)高融点金属シリサイド層318が、n<sup>+</sup>型ソース・ドレイン領域316およびp<sup>+</sup>型ソース・ドレイン領域317の表面にそれぞれ自己整合的に形成される。

【0085】次に、上記第1の実施の形態の上記第2の

26

実施例と同様に、酸化シリコン系絶縁膜からなる層間絶縁膜319がCVDにより全面に形成される。第1のゲート電極309および上記仮設ゲート電極に載置されたハードマスク膜308の上面が露出するまで、この層間絶縁膜319がCMPされる。続いて、p型ウェル303の表面上を覆うフォトリソ膜パターン339が形成される。このフォトリソ膜パターン339をマスクにして、仮設ゲート電極に載置されたハードマスク膜と、この仮設ゲート電極とが順次選択的に除去される。さらに、この除去部に露出した部分のゲート酸化膜305が、弗酸系のウェット・エッチングにより除去される【図8(a)】。

【0086】次に、上記フォトリソ膜パターン339が除去される。なお、上記仮設ゲート電極の除去部に露出したゲート酸化膜305の除去に先だって、フォトリソ膜パターン339の除去を行なってもよい。

【0087】次に、CVDにより、全面に例えば窒化タンタル膜からなるゲート絶縁膜325が形成される。ゲート絶縁膜325の酸化シリコン膜に換算した膜厚は高々10nm程度である。なお本一実施例において、ゲート絶縁膜325は窒化タンタル膜に限定されるものではなく、例えば酸化シリコン膜でもよい。続いて、CVDもしくはスパッタリングにより、第4の高融点金属の窒化物からなる第2の導電体膜として、窒化タンタル膜326が形成される。次に、CVDもしくはスパッタリングにより、金属膜として例えばタンタル膜327が全面に形成される。タンタル膜327の膜厚は高々200nm程度である。本一実施例では、金属膜を構成する金属はタンタルに限定されるものではなく、他の高融点金属、あるいは、例えばアルミ系合金、銅等であってもよい。

【0088】次に、層間絶縁膜319の上面、第1のゲート電極309に載置されたハードマスク膜308の上面が露出するまで、タンタル膜327、窒化タンタル膜326およびゲート絶縁膜325がCMPされる。これにより、窒化タンタル膜326にタンタル膜327が積層された構造の第2のゲート電極310が、形成される。第2のゲート電極310の側面はゲート絶縁膜325を介してサイドウォール・スペーサ315に覆われており、ゲート絶縁膜325表面は第2の導電体膜である窒化タンタル膜326により直接に覆われている【図8(b)】。

【0089】本第3の実施の形態の本一実施例も、上記第1、第2の実施の形態と同様の効果を有している。

【0090】

【発明の効果】以上説明したように本発明によれば、(高融点金属の窒化物からなる)導電体膜に、金属膜(もしくは高融点金属膜)が積層してなるゲート電極を有するMISFETにおいて、nチャネル型MISFETのゲート電極を構成する導電体膜の仕事関数がpチャ



27

ネル型MISFETのゲート電極を構成する導電体膜の仕事関数より小さく設定することが可能となる。その結果、少なくともnチャネル型MISFETのしきい値電圧の上昇を抑制することが容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態と第1の実施例の断面模式図である。

【図2】上記第1の実施の形態の上記第1の実施例の製造工程の断面模式図である。

【図3】上記第1の実施の形態の上記第1の実施例の効果を説明するための図であり、窒化チタン膜への窒素イオン注入量に対するしきい値電圧の変化量( $\Delta V_{TH}$ )を示すグラフである。

【図4】上記第1の実施の形態の第2の実施例の製造工程の断面模式図である。

【図5】上記第1の実施の形態の上記第2の実施例の効果を説明するための図であり、窒化チタン膜形成時の窒素ガス流量比に対するしきい値電圧の変化量( $\Delta V_{TH}$ )を示すグラフである。

【図6】上記第1の実施の形態の第3の実施例の主要製造工程の断面模式図である。

【図7】本発明の第2の実施の形態の一実施例の主要製造工程の断面模式図である。

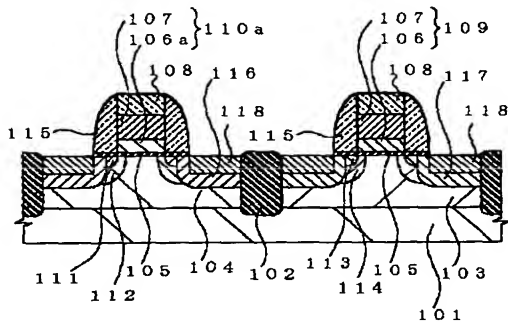
【図8】本発明の第3の実施の形態の一実施例の主要製造工程の断面模式図である。

【図9】従来の半導体装置の製造工程の断面模式図である。

【符号の説明】

101, 201, 301, 401	シリコン基板
102, 202, 302, 402	素子分離領域
103, 203, 303, 403	n型ウェル

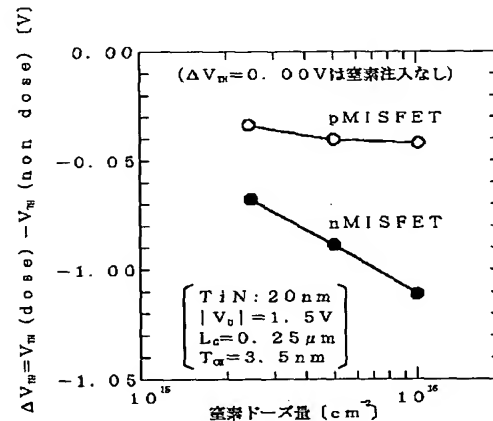
【図1】



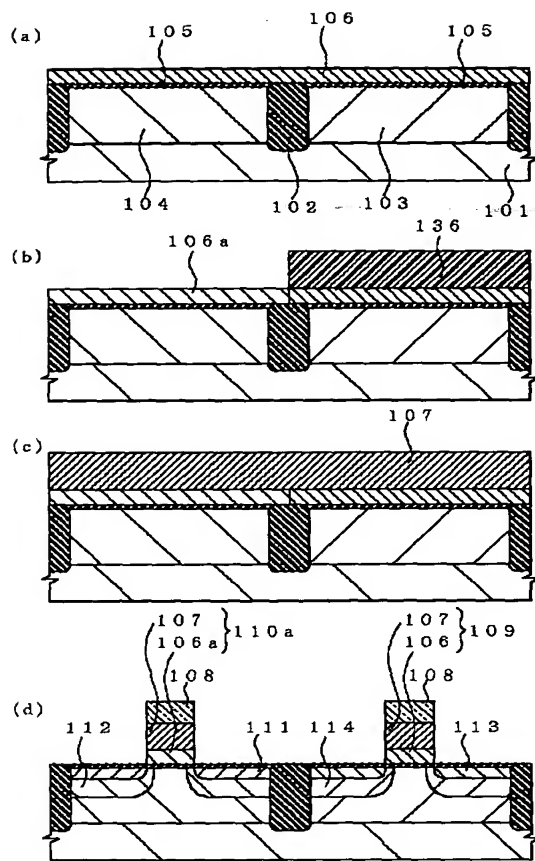
28

*104, 204, 304, 404	p型ウェル
105, 125b, 125c, 205, 305, 405	ゲート酸化膜
106, 106a, 126b, 126c, 206, 226, 306, 406	窒化チタン膜
107, 127, 207, 227, 307, 407	タングステン膜
108, 208, 308, 408	ハードマスク膜
109, 110, 110a, 110b, 110c, 209, 210, 309, 310, 409, 410	ゲート電極
111, 211, 311, 411	n型ソース・ドレイン・エクステンション領域
112, 212, 312, 412	p型ポケット領域
113, 213, 313, 413	p型ソース・ドレイン・エクステンション領域
114, 214, 314, 414	n型ポケット領域
115, 215, 315, 415	サイドウォール・スペーサ
116, 216, 316, 416	n+型ソース・ドレイン領域
117, 217, 317, 417	p+型ソース・ドレイン領域
118, 218, 318, 418	高融点金属シリサイド層
119, 219, 319, 419	層間絶縁膜
136, 139, 239, 339	フォトリソグロウパターンの膜
225, 325	ゲート絶縁膜
326	窒化タンタル膜
327	タンタル膜

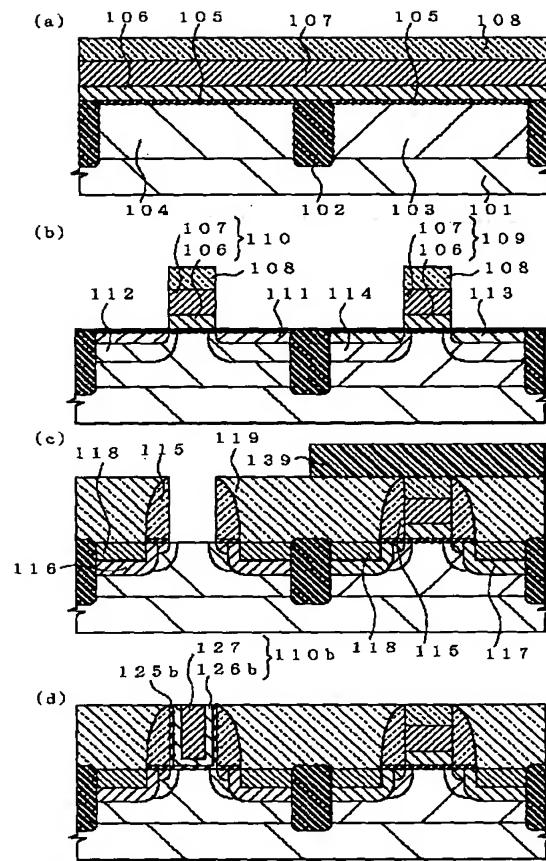
【図3】



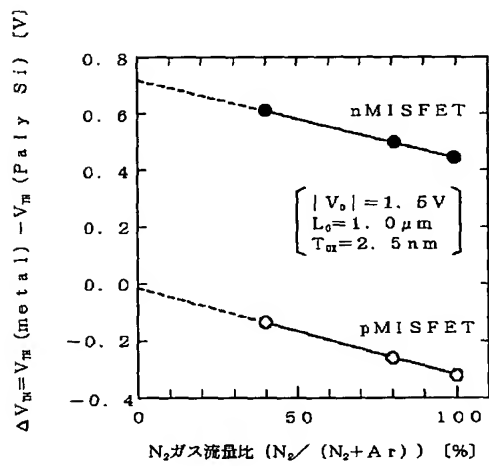
【図2】



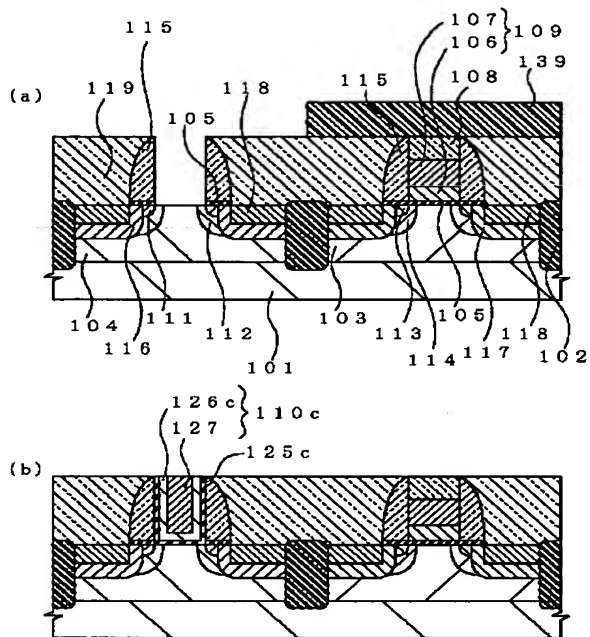
【図4】



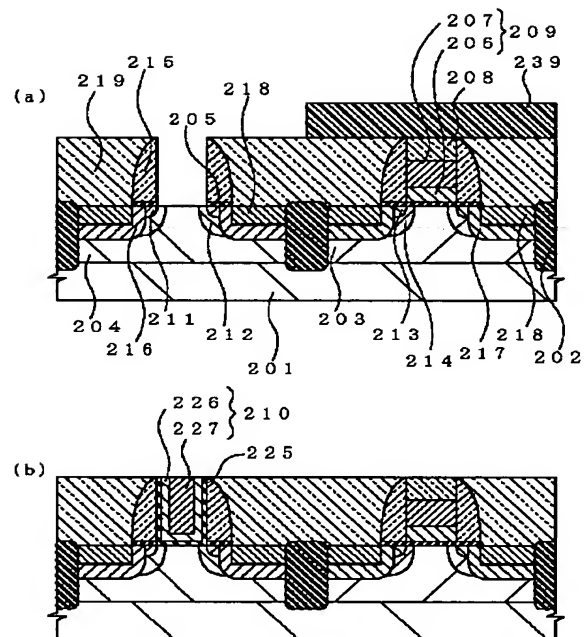
【図5】



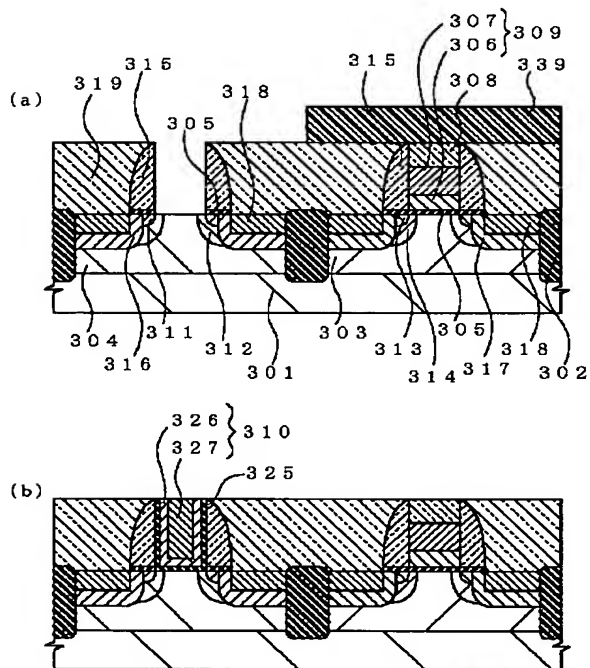
【図6】



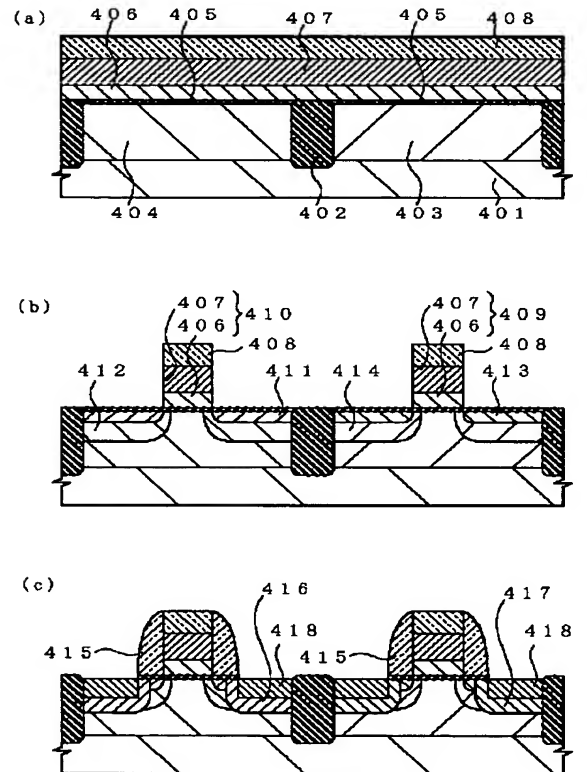
【図7】



【図8】



【図9】



フロントページの続き

F ターム (参考) 4M104 AA01 BB04 BB20 BB25 BB30  
BB32 BB33 CC05 DD03 DD04  
DD26 DD37 DD43 DD64 DD65  
DD66 DD71 DD82 DD84 DD88  
FF06 FF13 FF18 GG09 GG10  
GG14 HH20  
5F048 AA00 AC03 BB09 BB10 BB12  
BB14 BB16 BB18 BC05 BC06  
BE03 BF06 BG14 DA25